

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-077733

(43)Date of publication of application : 15.03.2002

(51)Int.Cl. H04N 5/335
H01L 27/146

(21)Application number : 2000-264059 (71)Applicant : MINOLTA CO LTD

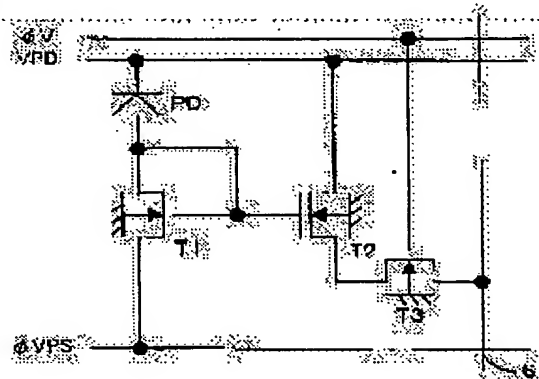
(22)Date of filing : 31.08.2000 (72)Inventor : TAKADA KENJI
HAGIWARA YOSHIO

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device which can automatically switch converting operations between logarithmic converting operations and liner converting operations according to the quantity of the light made incident to a photoelectric conversion section without switching the bias voltages.

SOLUTION: When image pickup is started, the gate voltage of a MOS transistor T1 is made lower than the source voltage of the transistor T1 by giving a pulse signal which becomes a voltage VL lower than the voltage VH which is given to the source of the transistor T1 at the time of picking up images to a signal ϕ_{VPS} . Consequently, until the luminance value of an object exceeds a prescribed value, linearly converted electric signals are outputted, because the transistor T1 is set to a cut-off state. In addition, when the luminance value exceeds the prescribed value, logarithmically converted electric signals are outputted, because the transistor T1 operates in a sub-threshold region.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

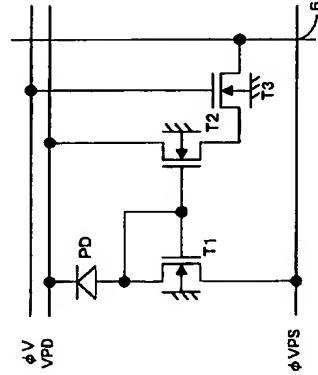
(11)特許出願公開番号

特開2002-77733

(P2002-77733A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int. Cl. ⁷	識別記号	審査請求	有	請求項の数	3 4	OL	(71)出願人	特願2000-264058(P2000-264059)	(22)出願日	(21)出願番号
H 0 4 N 5/335										
H 0 1 L 27/146										



(57) 【要約】
 【課題】本発明は、バイアス電圧を切り換えることとなる光電変換動作に入射される照射光量に応じて、自動的に対放電変換動作及び線形変換動作を切り換えることのできる固体撮像装置を提供することとする。
 【解決手段】信号φVPSに、撮像時にMOSトランジスタT1のソースに与える電圧VHより低い電圧VLとなるパルシブ信号を与えることによって、撮像開始時におけるMOSトランジスタT1のゲート電圧をソース電圧より低い電圧とする。よって、撮像時においては、MOSトランジスタT1がカットオフ状態となるので、線形変換された電気信号が出力され、又、被写体が所定の輝度値を超えたとき、MOSトランジスタT1がサチュレーション領域で動作するので、対放電変換された電気信号が出力される。

る出力が現れることを特徴とする請求項5～請求項9のいずれかに記載の固体撮像装置。

【請求項11】 入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2の電極が接続されたトランジスタと、

え
該トランジスタをリセットするリセット手段と、を備

該リセット手段は、前記トランジスタの制御電極に所定の第1パルス信号を与え、第1電極に所定の第2パルス信号を与えることにより、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブレスショルド領域動作を行うように、前記トランジスタをリセットすることを特徴とする固体撮像装置。

【請求項12】 入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2の電極が接続されたトンジスタと、

え、該トランジスタをリセットするリセット手段と、を備

該リセット手段は、前記トランジスタの少なくとも側面電極に、トランジスタの第1電極の電位がトランジスタの閾値を反映し得る範囲内の所定の電圧値を与えることにより、感光素子への入射光量が所定電圧値以上になるとトランジスタがサブスレッシヨナル領域で動作を行うように、前記トランジスタをリセットする。

【請求項13】 入射した光量に応じた電気信号を発生する感光素子を有する複数の画素を備えた固体撮像装置において、
前記各画素が、

第2電極が前記感光素子の一方向の電極に接続され、リセ
ット時に第1電極の第1ハルシス信号が第1電極に与えら
れるとともに第2電圧値の第2ハルシス信号が制御電極
に与えられることを有し、
前記トランジスタの第1電極と前記第1ハルシス信号を与
えるとともに、前記トランジスタの制御電極に前記第2
ハルシス信号を与えることによって、前記トランジスタを
通して前記電圧値の第1電極の電圧がリセットさ
れるとともに、
前記トランジスタの第1電極と前記第2ハルシス信号を与
えるとともに、前記トランジスタの制御電極に前記第2
ハルシス信号を与えることによって、前記トランジスタを
通して前記電圧値の第2電極の電圧がリセットさ
れるとともに、

前配光素子への入射光量が所定値までは前配トランジスタが不動作状態となることにより、前配トランジスタの第2電極に前配光素子への入射光量に対して線形的に変化する出力が現れるとともに、前配光素子への入射光量が所定値以上になったときは前配トランジスタがサブスレッショルド領域で動作を行うことにより、前配

トランジスタの第2電極に前記感光素子への入射光量に

50 【請求項21】 前記各画素が、前記第4MOSトラン

システムの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力番号

を出力する第3MOSTランジスタを有することを特徴とする請求項20に記載の固体撮像装置。

【請求項22】 前記画面素が、前記第1MOSTランジスタの第1電極及びゲート電極に一端が接続されるとともに、他端が直交電圧が印加された第1キャパシタを有することを特徴とする請求項16に記載の固体撮像装置。

【請求項23】 前記画素が、
前記第1キャパシタの一端に第1電極が接続された第5
MOSTランジスタと、
前記第5MOSTランジスタの第2電極に一端が接続さ
れるとともに、他端に直流電圧が印加された第2キャパ
シタと、

前記第2キャパシタの一端に第1電極が接続されるときも、第2電極に直流電圧が印加され、前記第2キャパシタをリセットする第6MOSTランジスタと、を有し、

前記各画素が同時に撮像動作を行うことによって、前記フォトダイオードに入射される光量に依り電圧が前記第1キャパシタの一端に現れるとともに、前記各画素の前記第5 MOSトランジスタを同時にONすることによつて、前記第1キャパシタの一端に現れた電圧を前記第2キャパシタでサンプリングすることを特徴とする請求項19又は請求項22に記載の固体映像装置。

【請求項24】 前記各画素が、前記第2キャパシタの一端にゲート電極が接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを有するこ

【請求項25】 前記各画素が、前記第4MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項24に記載の固体撮像装置。

【請求項26】 前記各画素が、前記フォトダイオードの第2電極に第1電極が接続されるとともに、前記第1MOSトランジスタの第1電極及びゲート電極に第2電極が接続された第7MOSトランジスタを有し、

リセット時に前記第7 MOSトランジスタをOFFとす
ること、撮像時に前記第7 MOSトランジスタを
ONとすることによって、全画素範囲において前記電
圧を MOSトランジスタがサブスレッショルド領域で動作を
行い、前記第1 MOSトランジスタのゲート電極に前記
タイアードに入射された光量に対して対数変換された電
圧が現れることを特徴とする請求項16～請求項25の
いずれかに記載の固体撮像装置。

【請求項27】 複数の画素を有する固体撮像装置にお
いて、
前記各画素が、

(4) 特開2002-77733

第2電極に直流電圧が印加されたフォトダイオードと、
該フォトダイオードの第1電極に第2電極が接続され、
第1電極に第1電圧値の第1パルス信号が与えられると
ともに、ゲート電極に第2電圧値の第2パルス信号が与
えられる第1MOSトランジスタと、を有し

10 前記第1MOSトランジスタの第1電極に前記第1パルス信号が与えられた後、前記第1MOSトランジスタのゲート電極に前記第2パルス信号が与えられることにより、前記第1MOSトランジスタを通して前記第1MOSトランジスタの第2電極の電圧がリセットされるとともに、

撮像時において、前記ダイオードに入射される光量が所定の明るさまでは前記第1MOSTランジスタが不動作状態となり、前記第1MOSTランジスタの第2電極に前記ダイオードに入射する光量に対して線形に変化する出力が現れるとともに、前記ダイオードに入射される光量が所定の明るさを超えたときは前記第1MOSTランジスタがサブスレッショルド領域で動作を行い、前記第1MOSTランジスタの第2電極に前記ダイオードに入射される光量に対して対数的に変化する出力が現れることを特徴とする固体撮像装置。

【請求項28】 前記各画素が、前記第1MOSトランジスタの第2電極にゲート電極が接続されるとともに、第2電極より出力信号を出力する第2MOSトランジスタを有することを特徴とする請求項27に記載の固体撮像装置。

【請求項2】 前記各画素が、前記第2MOSトランジスタの第2電極に第1電極が接続されるとともに、ゲート電極に行選択線が接続され、第2電極より出力信号を出力する第3MOSトランジスタを有することを特徴とする請求項28に記載の固体撮像装置。

【請求項30】 前記各画素が、前記第2MOSトランジスタの第2電極に一端が接続されるとともに、他端に直流電圧が印加された第1キャパシタを有することを特徴とする請求項28に記載の固体撮像装置。

【請求項31】 前記各面素が、前記第2MOSトランジスタの第2電極に接続されるとともに、第1電極に直流電圧が印加された第4MOSトランジスタを有することを特徴とする請求項30に記載の固体撮像装置。

【請求項 3 2】 前記名電解質が、前記第 4 MOS トランジスタの第 2 電極に第 1 電極が接続されることにも、ゲート電極に進行型線が接続され、第 2 電極より出力信号とを出力する第 3 MOS トランジスタを有することを特徴とする請求項 3 1 に記載の固体触媒装置。

【請求項 3 3】 前記第 2 MOS トランジスタが、前記第 1 MOS トランジスタと逆極性の MOS トランジスタであることと特徴とする請求項 3 1又は請求項 3 2 に記載の固体触媒装置。

50 【請求項34】 前記画素がマトリクス状に配されるこ

50 【請求項34】 前記画素がマトリクス状に配されるこ

とを特徴とする請求項5～請求項10又は請求項13～請求項33のいずれかに記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、入射光量に対して線形に変化する電気信号を出力する第1状態と入射光量に対して自然対数的に変化する電気信号を出力する第2状態との間で切換可能な固体撮像装置に関する。

【0002】

【従来の技術】 従来より使用されている固体撮像装置は、光電変換素子で発生した光電荷を積み出す手段によってCCD型とMOS型に大きく分けられる。CCD型は光電荷をポテンシャルの井戸に蓄積しつつ、転送するようになっている。又、MOS型はフォトリソードのpn接合容量に蓄積した電荷をMOSトランジスタを通して読み出すようになっている。しかしながら、このような従来の固体撮像装置は、発生した光電荷の電荷量に比例した出力が出力されるため、ダイナミックレンジが狭いという欠点がある。

【0003】 ダイナミックレンジを広くするために、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、このMOSトランジスタをサブスレッショルド電流が流れる状態にバイアスするバイアス手段とが備えられることにより、入射光量に対して自然対数的に変換された電気信号を出力することができる固体撮像装置も提案されている。このような固体撮像装置は、広いダイナミックレンジを有しているものの、低照度の場合の特性やS/N比などが十分でないという問題があった。

【0004】 一方、入射した光量に応じた光電流を発生しうる感光手段と、光電流を入力するMOSトランジスタと、を有するとともに、光電流に対して線形に変換された出力を出力する第1状態と、光電流に対して自然対数的に変換された出力を出力する第2状態と、切り換えることができる光センサ回路も提案されている（特開平10-90058号公報参照）。

【0005】

【発明が解決しようとする課題】 特開平10-90058号公報で提示されている線形変換動作と対数変換動作の切換可能な光センサ回路は、MOSトランジスタのゲート電圧をドレイン電圧より十分高くしてMOSトランジスタのドレインソース間インピーダンスを低抵抗とすることによって、フォトリソードとコンデンサとの接続ノードをリセットする。これにより、ソースの電位はドレインの電位とほぼ等しくなる。そのため、このような回路を複数設けた場合、全ての回路について、フォトリソードとコンデンサとの接続ノードの電圧が同一となるようにリセットされることとなり、各回路からの出力にMOSトランジスタの閾値電圧の差による各回路の感度バラツキが反映されず、線形出力動作から対

もに、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うことにより、感光素子への入射光量に対して対数的に変化する出力が制御電極に現れるように、前記トランジスタをリセットすることを特徴とする。

【0011】 又、請求項5に記載の固体撮像装置は、入射した光量に応じた電気信号を発生する感光素子を有する複数の面画素を備えた固体撮像装置において、前記各画素が、第1電極と制御電極とが前記感光素子の一方の電極に接続されるトランジスタを有し、前記各トランジスタの第2電極に前記バリス信号を与え、前記各トランジスタのゲート電圧をリセットするリセット手段を備え、該リセット手段は、前記感光素子への入射光量が所定値までは前記トランジスタが不動作状態となることにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して線形に変化する出力が現れるとともに、前記感光素子への入射光量が所定値以上になったときは前記トランジスタがサブスレッショルド領域で動作を行うことにより、前記トランジスタの制御電極に前記感光素子への入射光量に対して対数的に変化する出力が現れることを特徴とする。

【0012】 このような固体撮像装置は、リセット時に、トランジスタの第2電極にバリス信号を与えることにより、トランジスタの制御電極に蓄積された電荷と逆極性の電荷を流し込むことによって、トランジスタの制御電極の電圧をリセットする。このとき、例えば、トランジスタをNチャネルのMOSTトランジスタとしたとき、撮像動作時にトランジスタの第2電極に与える電圧より低い電圧のバリス信号を与えることにより、トランジスタのゲート電極を第2電極より低い電圧にリセットすることができる。又、トランジスタを通じてリセットを行うため、トランジスタの閾値に応じた電圧にリセットされ、結果的に、各画素において、その撮像時にける光電変換特性の切換が、同一の閾値で行われる。

【0013】 又、このような固体撮像装置において、請求項6に記載するように、前記各画素に、前記トランジスタの制御電極からの出力を増幅する増幅回路を設けて、出力信号を増幅するようにしても構わない。

【0014】 又、請求項7に記載するように、前記各画素に、前記トランジスタの制御電極に現れる電圧をサンプリングする第1サンプリング回路と、該第1サンプリング回路に一端が接続された第1スイッチと、該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記第1サンプリング回路でサンプリングされた電圧をサンプリングする第2サンプリング回路と、を設けて、同時に撮像して第1サンプリング回路でサンプリングされた出力信号を、第1スイッチを同時にONして第2サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【0015】 又、請求項8に記載するように、前記各画

素に、前記トランジスタの制御電極に現れる電圧を積分する積分回路を設けて、光量の変動成分や高周波のノイズを吸収するS/N比の良好な出力信号が出力されるようにしても構わない。更に、この請求項8に記載の固体撮像装置において、請求項9に記載するように、前記各画素に、前記積分回路に一端が接続された第1スイッチと、該第1スイッチの他端に接続されるとともに、該第1スイッチがONとなったときに、前記積分回路から出力される電圧をサンプリングするサンプリング回路と、を設けて、同時に撮像して積分回路より出力される出力信号を、第1スイッチを同時にONして第2サンプリング回路にサンプリングし、各画素毎に出力するようにしても構わない。

【0016】 請求項10に記載の固体撮像装置は、請求項5～請求項9のいずれかに記載の固体撮像装置において、前記各画素が、前記感光素子と前記トランジスタの第1電極との間に接続された第2スイッチを有し、リセット時に前記第2スイッチをOFFとするとともに、撮像時に前記第2スイッチをONとすることによって、全画素領域において前記トランジスタがサブスレッショルド領域で動作を行い、前記トランジスタの制御電極に前記感光素子に入射される光量に対して対数変換された電圧が現れることを特徴とする。

【0017】 このような固体撮像装置は、リセット時に、第2スイッチをOFFとすることによって、感光素子より発生する光電流の影響なくトランジスタのポテンシャル状態をリセットすることができるため、撮像時に、特に、入射光量に対して対数変換された電気信号を出力することができる。

【0018】 請求項11に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2の電極が接続されたトランジスタと、該リセット手段は、前記トランジスタの制御電極に所定の第1バリス信号を与え、前記トランジスタのゲート電圧をリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタの制御電極に所定の第2バリス信号を与え、前記トランジスタのゲート電圧をリセットすることにより、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入射光量が所定値以上になるとトランジスタがサブスレッショルド領域で動作を行うように、前記トランジスタをリセットすることを特徴とする。

【0019】 又、請求項12に記載の固体撮像装置は、入射光量に応じた電気信号を発生する感光素子と、該感光素子の一方の電極に第2電極が接続されたトランジスタと、該トランジスタをリセットするリセット手段と、を備え、該リセット手段は、前記トランジスタのゲート電極に、トランジスタの第2電極の電位がトランジスタの閾値を反映し得る範囲内の所定のバリス電圧を与え、感光素子への入射光量が所定値まではトランジスタが不動作状態となり、感光素子への入

ではトランジスタが不動作状態となり、感光素子への入

(但し、VTHはMOSトランジスタT1の閾値電圧、Kは定数を表す)となる。本実施形態においては、信号φVPSがVLとされた場合、MOSトランジスタT1のゲート電圧は、実用上、ほぼVL+VTHとなる。従って、要すると、 $\Delta V = V_H - V_L - K$ となり、リセットされた状態から上切切り替わり点に至らしめるために必要電圧は、各画素のMOSトランジスタT1の閾値バランスキによりほぼ一定である。

【0051】 10 10 ストランジスタT1のゲート電圧に至るまでにMOSトランジスタT1に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対称変換動作に切り替わるとき、フォトダイオードPDより発生する光電荷量が等しいので、各画素における変換動作が対称変換動作に切り替わるときフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が対称変換動作から対称変換動作に切り替わるとき、被写体の輝度が等しいものとなり、MOSトランジスタT1の閾値電圧の差により各画素の変換動作の切れ目の影響を低減することができ

る。

【0052】 又、リセット時に信号φVPSの電圧値VLを変化させることによって、変換動作を行う際のMOSトランジスタT1のゲート電圧VGが変化する範囲を変化させることができる。よって、リセット時における信号φVPSの電圧VLを変化させることで、各画素の変換動作が対称変換動作から対称変換動作に切り替わるとき、被写体の輝度を所望の切戻点に変化させることができる。

【0053】 更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正すれば、映像信号から画素のパラッキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによっても実現できる。

【0054】 <第2の実施形態> 第2の実施形態について、図面を参照して説明する。図5は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図3に示す画素と同様の目的で使用する素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0055】 図5に示すように、本実施形態では、第1の実施形態(図3)の画素に、MOSトランジスタT2のソースに一端が接続されたキャパシタC1と、同じく、MOSトランジスタT2のソースにゲートが接続されたMOSトランジスタT4が付加された構成となる。MOSトランジスタT4は、ソースがMOSトランジスタT3のドレインに接続されるとともに、ドレイン

【0045】 このように信号φVPSをVLとしてリセットを行っている際に、ハイレベルのバリス信号φVをMOSトランジスタT3のゲートに与えることによって、リセット時にノイズ信号を読み出す。このとき、リセットされたMOSトランジスタT1のゲート電圧がMOSトランジスタT2のゲートに与えられ、このMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電圧増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。

【0046】 又、MOSトランジスタT2及びMOSトランジスタQ1(図2)の導通時抵抗とそれとを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、ノイズ信号として出力信号線6に現れる。このようにしてノイズ信号が読み出されると、MOSトランジスタT3をOFFにした後、信号φVPSをVHにして、次の撮像動作に備える。

【0047】 信号φVPSをVHとして撮像動作を開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSトランジスタT1に流れ込む。今、MOSトランジスタT1はカットオフ状態であるので、光電荷がMOSトランジスタT1のゲートに蓄積される。よって、撮像する被写体の輝度が低くフォトダイオードPDに入射される入射光量が少い場合は、MOSトランジスタT1のゲートに蓄積された光電荷量に応じた電圧がMOSトランジスタT1のゲートに現れるため、入射光量の割合に対して線形的に比例した電圧がMOSトランジスタT2のゲートに現れる。

【0048】 又、撮像する被写体の輝度が高くフォトダイオードPDに入射される入射光量が多く、MOSトランジスタT1のゲートに蓄積された光電荷量に応じた電圧が高くなると、MOSトランジスタT1がサブスレッショルド領域で動作を行うため、入射光量に対して自然に線形的に比例した電圧がMOSトランジスタT1のゲートに現れる。

【0049】 このようにして、入射光量に対して線形的に又は自然に比例した電圧がMOSトランジスタT1、T2のゲートに現れ、先と同様に、バリス信号φVをMOSトランジスタT3のゲートに与えることにより、入射光量に対して線形的に又は自然に比例した電圧がMOSトランジスタT1のゲート電圧がMOSトランジスタT2で電圧増幅されて、MOSトランジスタT3を介して出力信号線6に出力される。又、MOSトランジスタT2及びMOSトランジスタQ1の導通時抵抗とそれとを流れる電流によって決まるMOSトランジスタQ1のドレイン電圧が、映像信号として出力信号線6に現れる。

【0050】 このような動作を行う各画素において、MOSトランジスタT1には閾値電圧にバラッキがあるため、信号φVPSがVHとされた場合、線形変換動作から対称変換動作に切り替わる電圧値は、 $V_H + V_{TH} - K$

【0040】 図2のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感度素子から発生する光電流を自然に増幅しているような場合は、そのままでは出力電圧が小さいが、本増幅回路により充分大きな信号を増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けず、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、...、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0041】 <第1の実施形態> 図1に示した画素構成の各画素に適用される第1の実施形態について、図面を参照して説明する。図3は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。

【0042】 図3において、pnフォトダイオードPDが光電部(光電変換部)を形成している。そのフォトダイオードPDのアンノードはMOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のソースに接続されている。MOSトランジスタT2のソースは選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6(この出力信号線6は図1の6-1、6-2、...、6-mに対応する)へ接続されている。尚、MOSトランジスタT1〜T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0043】 又、フォトダイオードPDのカソード及びMOSトランジスタT2のドレインには直流通電圧VPPが印加されるようにしている。一方、MOSトランジスタT1のソースには信号φVPSが入力される。又、MOSトランジスタT3のゲートには信号φVが入力される。尚、信号φVPSは2個の電圧信号で、入射光量が所定値を超えときにMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVHとし、又、この電圧より低くMOSトランジスタT1を導通状態にする電圧をVLとする。このような構成の画素の動作について、以下に説明する。

【0044】 図4に示すタイミングチャートのように、バリス信号φVがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、信号φVPSをVLとしてリセット動作を行う。このとき、MOSトランジスタT1を通してMOSトランジスタT1のソース・ドレイン間に蓄積された電荷と逆極性の電荷が流入されて、MOSトランジスタT1のゲート電圧がリセットされる。

【0037】 出力信号線6-1、6-2、...、6-mごとにNチャネルのMOSトランジスタQ1、Q2が図示の如く1組ずつ設けられている。出力信号線6-1を例にとり説明すると、MOSトランジスタQ1のゲートは直流通電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流通電圧VPSのライン8に接続されている。一方、MOSトランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。

【0038】 画素G11〜Gmnには、後述するように、それらの画素で発生した光電流に基づき信号を出力するNチャネルのMOSトランジスタTaが設けられている。MOSトランジスタTaと上記MOSトランジスタQ1との接続関係は図2(a)のようになる。このMOSトランジスタTaは、第2〜第4、第6〜第8、第10及び第11の実施形態では、MOSトランジスタT4に、第1、第5及び第9の実施形態では、MOSトランジスタT2に相当する。ここで、MOSトランジスタQ1のソースに接続される直流通電圧VPS' と、MOSトランジスタTaのドレインに接続される直流通電圧VPP' との関係はVPP' > VPS' であり、直流通電圧VPS' は例えはグラント電圧(接地)である。この回路構成は上段のMOSトランジスタQ1のゲートに信号が入力され、下段のMOSトランジスタQ1のゲートには直流通電圧DCが常時印加される。このため下段のMOSトランジスタQ1は抵抗又は定電流源と等価であり、図2(a)の回路はソースフォロフ型の増幅回路となっている。この場合、MOSトランジスタTaから増幅出力されるのは電流であると考えよう。

【0039】 MOSトランジスタQ2は水平走査回路3によって制御され、スイッチ素子として動作する。尚、後述するように図3以降の各実施形態の画素内にはスイッチ用のNチャネルのMOSトランジスタT3も設けられている。このMOSトランジスタT3も含めて表わすと、図2(a)の回路は正確には図2(b)のようになり、即ち、MOSトランジスタT3がMOSトランジスタQ1とMOSトランジスタTaとの間に挿入されている。ここで、MOSトランジスタT3は行の選択を行う

ものであり、MOSトランジスタQ2は列の選択を行うものである。尚、図1および図2に示す構成は以下に説明する第1の実施形態・第1の実施形態に共通の構成である。

【0040】 図2のように構成することにより信号を大きく出力することができる。従って、画素がダイナミックレンジ拡大のために感度素子から発生する光電流を自然に増幅しているような場合は、そのままでは出力電圧が小さいが、本増幅回路により充分大きな信号を増幅されるため、後続の信号処理回路(図示せず)での処理が容易になる。また、増幅回路の負荷抵抗部分を構成するMOSトランジスタQ1を画素内に設けず、列方向に配置された複数の画素が接続される出力信号線6-1、6-2、...、6-mごとに設けることにより、負荷抵抗又は定電流源の数を低減でき、半導体チップ上で増幅回路が占める面積を少なくできる。

【0041】 <第1の実施形態> 図1に示した画素構成の各画素に適用される第1の実施形態について、図面を参照して説明する。図3は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。

【0042】 図3において、pnフォトダイオードPDが光電部(光電変換部)を形成している。そのフォトダイオードPDのアンノードはMOSトランジスタT1のゲート及びドレイン、MOSトランジスタT2のソースに接続されている。MOSトランジスタT2のソースは選択用のMOSトランジスタT3のドレインに接続されている。MOSトランジスタT3のソースは出力信号線6(この出力信号線6は図1の6-1、6-2、...、6-mに対応する)へ接続されている。尚、MOSトランジスタT1〜T3は、それぞれ、NチャネルのMOSトランジスタでバックゲートが接地されている。

【0043】 又、フォトダイオードPDのカソード及びMOSトランジスタT2のドレインには直流通電圧VPPが印加されるようにしている。一方、MOSトランジスタT1のソースには信号φVPSが入力される。又、MOSトランジスタT3のゲートには信号φVが入力される。尚、信号φVPSは2個の電圧信号で、入射光量が所定値を超えときにMOSトランジスタT1をサブスレッショルド領域で動作させるための電圧をVHとし、又、この電圧より低くMOSトランジスタT1を導通状態にする電圧をVLとする。このような構成の画素の動作について、以下に説明する。

【0044】 図4に示すタイミングチャートのように、バリス信号φVがMOSトランジスタT3のゲートに与えられて、出力信号が読み出されると、信号φVPSをVLとしてリセット動作を行う。このとき、MOSトランジスタT1を通してMOSトランジスタT1のソース・ドレイン間に蓄積された電荷と逆極性の電荷が流入されて、MOSトランジスタT1のゲート電圧がリセットされる。

に直流電圧V_{PH}が印加されている。又、MOSTランジスタT2のドレインには信号φDが与えられ、キャパシタC1の他端に直流電圧V_{PS}が印加される。尚、MOSTランジスタT4も、MOSTランジスタT1~T3と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。このような構成の画面の動作について、以下に説明する。

【0056】図6に示すタイミングチャートのように、ハルス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φVPSをVLとしてリセット動作を行う。このとき、MOSTランジスタT1を通して、MOSTランジスタT4で電流増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の増分値に対して自然対数的に比例した電流となる。

【0061】このように撮像動作を行っているとき、第1の実施形態と同様、所定の明るさまでは入射光量の増分値に対して線形的に比例した電圧が、所定の明るさ以上になるときに自然対数的に比例した電圧が、それそれ、MOSTランジスタT2のゲートに与えられる。

【0062】このように構成の画面において、リセット時における信号φVPSの電圧値VLを変化させることで、各画面の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC1を用いることで、一旦キャパシタC1で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、SN比の良好な信号が得られる。

【0063】更に、ノイズ信号が図1の信号線9から画面毎にシリアルに出力され、後続回路においてメモリに画面毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画面毎に補正すれば、映像信号から画面のパラッキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画面内に設けることによって実現できる。

【0064】<第3の実施形態>第3の実施形態について、図面を参照して説明する。図7は、本実施形態に使用する固体撮像装置に設けられた画面の構成を示す回路図である。尚、図5に示す画面と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0065】図7に示すように、本実施形態では、第2の実施形態(図7)の画面に、MOSTランジスタT2のソースとキャパシタC1との接続ノードにドレインが接続されたMOSTランジスタT5と、MOSTランジスタT5のソースに一端が接続されたキャパシタC2と、同じく、MOSTランジスタT5のソースにドレインが接続されたMOSTランジスタT6とが追加された構成となる。MOSTランジスタT6は、ソースに直流電圧V_{PS}が印加されるとともに、ゲートに信号φRSが与えられている。又、MOSTランジスタT5のゲートには信号φSが与えられ、キャパシタC2の他端に直流電圧V_{PS}が印加される。尚、MOSTランジスタT5、

T6も、MOSTランジスタT1~T4と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。このような構成の画面の動作について、以下に説明する。

【0066】ハルス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φVPSをVLとしてリセット動作を行う。このとき、MOSTランジスタT1を通して、MOSTランジスタT4のゲート電圧がリセットされる。このように信号φVPSをVLとしてリセットを行っている際に、まず、ローレベルのハルス信号φDをMOSTランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSTランジスタT2を通して信号φDの信号線9に放出して、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号φRSにハルス信号を与えることによってキャパシタC2を初期化する。

【0067】そして、リセットされたMOSTランジスタT1のゲート電圧がMOSTランジスタT2のゲートに与えられ、このMOSTランジスタT1のゲート電圧に応じたドレイン電流がMOSTランジスタT2を通じてキャパシタC1に流れ、キャパシタC1に蓄積される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSTランジスタT1のゲート電圧に応じたものとなる。そして、信号φVPSをVHとして、次の撮像動作に備える。尚、この信号φD、φVPSの動作については、図1の画面G11~G_m全てに対して、同時に行われる。

【0068】信号φVPSをVHとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧がMOSTランジスタT1、T2のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がMOスタランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄積される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、入射光量の増分値に対して線形的に又は自然対数的に比例した電圧となる。

【0069】そして、次に、ハイレベルのハルス信号φSをMOSTランジスタT5のゲートに与えることによってMOSTランジスタT5が導通し、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSTランジスタT4のゲートとの接続ノードの電圧が、入射光量の増分値に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからハルス信号φSが与えられるまでの動作については、図1の画面G11~G_m全てに対して、同時に行われる。

【0070】このように撮像動作を行っているとき、第

1の実施形態と同様、所定の明るさまでは入射光量に対して線形的に比例した電圧が、又、所定以上の明るさのときは入射光量に対して自然対数的に比例した電圧が、それぞれ、MOSTランジスタT2のゲートに与えられる。

【0071】その後、ハイレベルのハルス信号φVをMOSTランジスタT3のゲートに与えることによって、撮像時における映像信号を読み出す。このとき、キャパシタC2とMOSTランジスタT4のゲートとの接続ノードの電圧がMOSTランジスタT4に与えられ、MOSTランジスタT4で電流増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の増分値に対して線形的に又は自然対数的に比例した電流となる。

【0072】このような構成の画面において、リセット時における信号φVPSの電圧値VLを変化させることで、各画面の変換動作が線形変換動作から対数変換動作に切り替わるときの被写体の輝度を変化させることができる。又、本実施形態において、キャパシタC1を用いることで、一旦キャパシタC1で積分された信号となるので、光源の変動成分や高周波のノイズがキャパシタで吸収されて除去され、SN比の良好な信号が得られる。

【0073】<第4の実施形態>第4の実施形態について、図面を参照して説明する。図8は、本実施形態に使用する固体撮像装置に設けられた画面の構成を示す回路図である。尚、図7に示す画面と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0074】図8に示すように、本実施形態では、第3の実施形態(図7)の画面より、MOSTランジスタT2が省かれた構成となる。即ち、MOSTランジスタT1のドレインとゲートの接続ノードが、キャパシタC1とMOSTランジスタT5のドレインとの接続ノードに接続される。このような構成の画面の動作について、以下に説明する。

【0075】ハルス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φVPSをVLとしてリセット動作を行う。このとき、MOSTランジスタT1を通して、MOSTランジスタT1のゲート電圧がリセットされるとともに、キャパシタC1が初期化される。又、信号φRSにハルス信号を与えることによってキャパシタC2を初期化する。

【0076】その後、信号φVPSをVHとして撮像動作が開始すると、フォトダイオードPDへの入射光量に対

ランジスタT7が加わった構成となる。MOSTランジスタT7は、ドレインがフォトダイオードPDのアノードに、ソースがMOSTランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SWが与えられる。

【0092】このような構成の画面は、第5の実施形態と同様、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ SWをMOSTランジスタT7に、フォトダイオードPDの接続状態をONにする。

【0093】又、第5の実施形態と同様、リセット時に、MOSTランジスタT7を所定のタイミングでON/OFFさせることによって、図11のような構成の画面は、その撮像時に、全ての撮像範囲において対数変換動作を行う。このように、撮像時に、全ての撮像範囲において対数変換動作を行うときにおける、図11のような構成の画面は、直流電圧VPSと略等しい電圧でMOSTランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSTランジスタT1を導通状態にする電圧をVlとする。

【0094】図12に示すタイミングチャートのよう

に、パルス信号 ϕ VがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合されて、ある程度までリセットされる。

【0095】次に、MOSTランジスタT1のソースに与える信号 ϕ VPSをV1とする。このように、MOSTランジスタT1のソース電圧を低くすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させる。よって、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合される。

【0096】そして、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなると、MOSTランジスタT1のドレインとの間に接続されたMOST

ル状態が、基の状態にリセットされる。このようにMOSTランジスタT1のポテンシャル状態のリセットが行われると、ハイレベルのパルス信号 ϕ VをMOSTランジスタT2のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このようにしてノイズ信号が読み出されると、MOSTランジスタT3をOFFにした後、信号 ϕ SWをハイレベルにして、次の撮像動作に備える。

【0086】信号 ϕ SWをハイレベルにして撮像動作を開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSTランジスタT1に流れ込む。今、MOSTランジスタT1のソース電圧にVhとなる信号 ϕ VPSが与えられるため、MOSTランジスタT1はサブスレッショルド領域で動作を行う。よって、光電流を自然対数的に変換した値の電圧がMOSTランジスタT1、T2のゲートに現れると、先と同様に、パルス信号 ϕ VがMOSTランジスタT3のゲートに与えられる。よって、入射光量に対して自然対数的に比例したMOSTランジスタT1のゲート電圧がMOSTランジスタT2で電流増幅されて、MOSTランジスタT3を介して出力信号線へ出力される。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0088】このように、リセット時に、MOSTランジスタT7をOFFさせることによって、フォトダイオードPDから流れる光電流の影響なくMOSTランジスタT1のリセットを行うことができる。又、撮像時には、MOSTランジスタT1がサブスレッショルド領域で動作するため、全撮像範囲で対数変換動作を行うようにすることができる。

【0089】又、ノイズ信号が図10の信号線9から画面毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画面毎に補正すれば、映像信号から画面のパラッキによる成分を取り除くことができる。尚、この補正方法は、ラインメモリのメモリを画面内に格納することによって実現できる。

【0090】<第6の実施形態>第6の実施形態について、図面を参照して説明する。図11は、本実施形態に使用する固体撮像装置に設けられた画面の構成を示す回路図である。尚、図5に示す画面と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0091】図11に示すように、本実施形態では、第5の実施形態（図9）と同様、第2の実施形態（図5）の画面に、フォトダイオードPDのアノードとMOSTランジスタT1のドレインとの間に接続されたMOST

SWをMOSTランジスタT7のゲートに与えて、MOSTランジスタT7をONにすることによって、第1の実施形態の画面と同様の状態とすることができる。即ち、常に、MOSTランジスタT7をONにして、フォトダイオードPDのアノードとMOSTランジスタT1のドレインとを電気的に接続することで、被写体の輝度に応じた自動的な対数変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSTランジスタT7をONにしたときの動作については、第1の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0082】又、リセット時にMOSTランジスタT7を所定のタイミングでON/OFFさせることによって、図9のような構成の画面は、その撮像時に、全ての撮像範囲において対数変換動作を行う。このように、撮像時に、全ての撮像範囲において対数変換動作を行うときにおける、図9のような構成の画面の動作について、以下に説明する。尚、このとき、信号 ϕ VPSは、直流電圧VPSと略等しい電圧でMOSTランジスタT1をサブスレッショルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSTランジスタT1を導通状態にする電圧をVlとする。

【0083】図10に示すタイミングチャートのよう

に、パルス信号 ϕ VがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕ SWをローレベルにしてリセット動作を行う。このとき、MOSTランジスタT1のソース側より負の電荷が流れ込み、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合される。よって、ある程度までリセットされて、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが下がる。

【0084】このように、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが基の状態にリセットされようとするが、そのポテンシャルがある値になると、そのリセットされる速度が遅くなる。特に、明るい被写体が急になった場合にこの傾向が顕著となる。よって、次に、MOSTランジスタT1のソースに与える信号 ϕ VPSをV1とする。このように、MOSTランジスタT1のソース電圧を低くすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加し、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアノードに蓄積された正の電荷が再結合される。

【0085】そして、MOSTランジスタT1のドレイン及びゲート下領域のポテンシャルが低くなると、MOSTランジスタT1のソースに与える信号 ϕ VPSをVhにする。よって、MOSTランジスタT1のポテンシ

して線形的に又は自然対数的に比例した電圧がMOSTランジスタT1のゲートに現れる。そして、この入射光量に対して線形的に又は自然対数的に比例した電圧がキャパシタC1によってサンプリングされる。次に、ハイレベルのパルス信号 ϕ SをMOSTランジスタT5のゲートに与えることによってMOSTランジスタT5が導通し、キャパシタC1でサンプリングされた電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2に、入射光量に対して線形的に又は自然対数的に比例した電圧となる。尚、撮像動作が開始してからパルス信号 ϕ Sが与えられるまでの動作については、図1の画面G1～Gm全てに対して、同時に行われる。

【0077】このようにして撮像動作を行っているとき、第1の実施形態と同様、入射光量に対して線形的に変化した出力、又は、入射光量に対して自然対数的に変化した出力が、それぞれ、キャパシタC1にサンプリングされる。

【0078】このような構成の画面において、リセット時における信号 ϕ VPSの電圧値V1を変化させることで、各画面の変換動作が対数変換動作から対数変換動作に切り替わる。このとき、キャパシタC1を用いる。又、本実施形態において、キャパシタC1で積分された信号となることで、一旦キャパシタC1で積分された信号が得られる。尚、信号 ϕ Sを同時に与えることによって、全画面において同一時間キャパシタC1でサンプリングして得た映像信号をキャパシタC2にサンプリングすることができ、よって、高速で移動する被写体を撮像しても、画像歪みが生じない。

【0079】<第5の実施形態>第5の実施形態について、図面を参照して説明する。図9は、本実施形態に使用する固体撮像装置に設けられた画面の構成を示す回路図である。尚、図3に示す画面と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0080】図9に示すように、本実施形態では、第1の実施形態（図3）の画面に、フォトダイオードPDのアノードとMOSTランジスタT1のドレインとの間に接続されたMOSTランジスタT7が加わった構成となる。MOSTランジスタT7は、ドレインがフォトダイオードPDのアノードに、そして、ソースがMOSTランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号 ϕ SWが与えられる。尚、MOSTランジスタT7も、MOSTランジスタT1～T3と同様に、NチャネルのMOSTランジスタでバックゲートが接地されている。

【0081】このような構成の画面は、リセット時及び撮像時のそれぞれにおいて、常に、ハイレベルの信号 ϕ

うので、フォトダイオードPPDへの入射光量に対して自然対数的に比例した電圧がMOSTランジスタT1、T2のゲートに現れる。そして、この入射光量に対して自然対的に比例した電圧がMOSTランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対的に比例した電圧となる。

10 【0112】そして、次に、ハイレベルのバルス信号φVをMOSTランジスタT5のゲートに与えることによってMOSTランジスタT5が導通し、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧がキャパシタC2によってサンプリングされる。よって、キャパシタC2とMOSTランジスタT4のゲートとの接続ノードの電圧が、入射光量の積分値に対して自然対的に比例した電圧となる。尚、読取動作が開始してからバルス信号φSが与えられるまでの動作については、図1の画面G11~G16全てに対して、同様に行われる。

20 【0113】その後、ハイレベルのバルス信号φVをMOSTランジスタT3のゲートに与えることによって、読取時における映像信号を読み出す。このとき、キャパシタC2とMOSTランジスタT4のゲートとの接続ノードの電圧がMOSTランジスタT4に与えられ、MOSTランジスタT4で電流増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して自然対的に比例した電圧となる。

30 【0114】このように、リセット時、MOSTランジスタT7をOFFさせることによって、フォトダイオードPPDから流れる光電流の影響なくMOSTランジスタT1のリセットを行うことができる。又、読取時には、MOSTランジスタT1がサブスレッシヨルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

40 【0115】<第8の実施形態>第8の実施形態について、図面を参照して説明する。図14は、本実施形態に使用する固体撮像素子に設けられた画素の構成を示す回路図である。尚、図8に示す画素と同様の構成で用いられる素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

50 【0116】図14に示すように、本実施形態では、第5の実施形態(図9)と同様、第4の実施形態(図8)の画素に、フォトダイオードPPDのアノードとMOSTランジスタT1のドレインとの間に接続されたMOSTランジスタT7が付加された構成となる。MOSTランジスタT7は、ドレインがフォトダイオードPPDのアノードに、そして、ソースがMOSTランジスタT1のド

20 の動作については、第3の実施形態を参照するものとして、本実施形態では、その説明を省略する。
【0107】又、第5の実施形態と同様、リセット時にMOSTランジスタT7を所定のタイミングでON/OFFさせることによって、図13のような構成の画素は、その読取時に、全ての輝度範囲において対数変換動作を行う。このように、撮像素子に、全ての輝度範囲において対数変換動作を行うときにおける、図13のような構成の画素の動作については、以下に説明する。尚、このとき、信号φVPSは、直流電圧VPSと略等しい電圧でMOSTランジスタT1をサブスレッシヨルド領域で動作させるための電圧をVhとし、又、この電圧よりも低くMOSTランジスタT1を導通状態にする電圧をVLとする。

1 【0108】バルス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φSWをローレベルにしてリセット動作を行う。このとき、MOSTランジスタT1のソースに与える信号φVPSをVLにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させて、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPPDのアノードに蓄積された正の電荷が速やかに再結合される。

2 【0109】そして、MOSTランジスタT1のソースに与える信号φVPSをVhにして、MOSTランジスタT1のゲートにリセット動作を指示する。このように、MOSTランジスタT1のポテンシャルの状態を基にリセットした後、ローレベルのバルス信号φDをMOSTランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSTランジスタT2を通して信号φDの信号線に放出し、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧を初期化する。又、信号φRSにバルス信号を与えることによってキャパシタC2を初期化する。

3 【0110】そして、リセットされたMOSTランジスタT10のゲート電圧がMOSTランジスタT2のゲート電圧に与えられ、このMOSTランジスタT1のゲート電圧がMOSTランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSTランジスタT1のゲート電圧に与えられるものとなる。

4 【0111】そして、信号φSWをハイレベルにして撮像素子が開始すると、MOSTランジスタT1のソース電圧にVhとなる信号φVPSが与えられるため、MOSTランジスタT1はサブスレッシヨルド領域で動作を行

28 とによって、読取時における映像信号を読み出す。このとき、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧がMOSTランジスタT4に与えられ、MOSTランジスタT4で電流増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される出力電流が、入射光量の積分値に対して自然対的に比例した電圧となる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

10 【0102】このように、リセット時に、MOSTランジスタT7をOFFさせることによって、フォトダイオードPPDから流れる光電流の影響なくMOSTランジスタT1のリセットを行うことができる。又、読取時には、MOSTランジスタT1がサブスレッシヨルド領域で動作するため、全輝度範囲で対数変換動作を行うようにすることができる。

20 【0103】又、バルス信号φVが図1の信号線9から画素毎のノイズ信号として記憶しておく。そして、映像信号φVPSが読取されているバルス信号φVPSに補正すれば、映像信号から画素のバラッキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。

30 【0104】<第7の実施形態>第7の実施形態について、図面を参照して説明する。図13は、本実施形態に使用する固体撮像素子に設けられた画素の構成を示す回路図である。尚、図7に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

40 【0105】図13に示すように、本実施形態では、第5の実施形態(図9)と同様、第3の実施形態(図7)の画素に、フォトダイオードPPDのアノードとMOSTランジスタT1のドレインとの間に接続されたMOSTランジスタT7が付加された構成となる。MOSTランジスタT7は、ドレインがフォトダイオードPPDのアノードに、そして、ソースがMOSTランジスタT1のドレインにそれぞれ接続されるとともに、ゲートに信号φSWが与えられる。

50 【0106】このような構成の画素は、第5の実施形態と同様、リセット時及び読取時のそれぞれにおいて、特に、ハイレベルの信号φSWをMOSTランジスタT7のゲートに与えて、MOSTランジスタT7をONにするによって、第3の実施形態の画素と同様の状態とすることができる。即ち、MOSTランジスタT7をONにして、フォトダイオードPPDのアノードとMOSTランジスタT1のドレインとを電気的に接続することで、撮像素子の輝度に応じて自動的に対数変換動作と対数変換動作とを切り換えることができる。よって、このように、MOSTランジスタT7をONにしたとき

27 にして、MOSTランジスタT1のポテンシャル状態を、基の状態にリセットする。このようにMOSTランジスタT1のポテンシャル状態のリセットが行われると、まず、ローレベルのバルス信号φDをMOSTランジスタT2のドレインに与えることによって、キャパシタC1に蓄積された電荷をMOSTランジスタT2を通して信号φDの信号線に放出して、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧を初期化する。

10 【0097】そして、リセットされたMOSTランジスタT1のゲート電圧がMOSTランジスタT2のゲート電圧に与えられ、このMOSTランジスタT1のゲート電圧がMOSTランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、リセットされたMOSTランジスタT1のゲート電圧に与えられるものとなる。

20 【0098】そして、次に、ハイレベルのバルス信号φVをMOSTランジスタT3のゲートに与えることによって、リセット時におけるノイズ信号を読み出す。このとき、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧がMOSTランジスタT4に与えられ、MOSTランジスタT4で電流増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。このようにしてノイズ信号が読み出されると、再び、ローレベルのバルス信号φDをMOSTランジスタT2のドレインに与えて、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧をリセットした後、信号φSWをハイレベルにして、次の撮像素子に備える。

30 【0099】信号φSWをハイレベルにして撮像素子が開始すると、フォトダイオードPPDより入射光量に応じた光電荷がMOSTランジスタT1に流れ込む。今、MOSTランジスタT1のソース電圧にVhとなる信号φVPSが与えられるため、MOSTランジスタT1はサブスレッシヨルド領域で動作を行う。よって、光電流を自然対的に変換した電圧がMOSTランジスタT1、T2のゲートに発生する。

40 【0100】このようにして、入射光量に対して自然対的に比例した電圧がMOSTランジスタT1、T2のゲートに現れると、この入射光量に対して自然対的に比例した電圧がMOSTランジスタT2で電流増幅されたドレイン電流がキャパシタC1に流れ、キャパシタC1に蓄電される。よって、キャパシタC1とMOSTランジスタT2のソースとの接続ノードの電圧が、入射光量の積分値に対して自然対的に比例した電圧となる。

50 【0101】そして、先と同様に、ハイレベルのバルス信号φVをMOSTランジスタT3のゲートに与えるこ

レインにそれぞれ接続されるとともに、ゲートに信号のSWが与えられる。

【0117】このような構成の画面は、第5の実施形態と同様、リセット時及び初期時のそれぞれにおいて、信号SWをMOSTラングスタT7をONにして、ハイレベルの信号SをMOSTラングスタT7に与えて、第4の実施形態の画面と同様の状態とすることができ、即ち、常に、MOSTラングスタT7をONにして、フォロイオードPPDのアノードとMOSTラングスタT7のドレインとを電気的に接続することで、被写体の輝度に応じて自動的に解像変換動作と対称変換動作とを切り換えることができる。よって、このように、MOSTラングスタT7を常にONしたときの動作については、第4の実施形態を参照するものとして、本実施形態では、その説明を省略する。

【0118】又、第5の実施形態と同様、リセット時にMOSTランジスタT₁を所定のタイミングでON/OFFさせることによって、図14のような構成の回路を行う。このように、描像範囲、全ての輝度変動動作に対して、図14の範囲において描像変動動作を行うときにおける、図14の範囲における構成の回路の動作について、以下に説明する。尚、このとき、信号φVPSは、直流電圧VPSと略等しい電圧でMOSTランジスタT₁をサブスプレッションド領域で動作させるための電圧をV_{th}とし、又、この電圧よりも低くする。

【0119】パルス信号φVがMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号φSWをローレベルにしてリセット動作を行う。このとき、MOSTランジスタT1のソースに与える信号φVPSをVにして、MOSTランジスタT1を導通状態にすることによって、MOSTランジスタT1のソースから流入する負の電荷の量を増加させて、MOSTランジスタT1のゲート及びドレイン、MOSTランジスタT2のゲート、そしてフォトダイオードPDのアンノードに蓄積された正の電荷が速やかに再結合される。

【0120】そして、MOSトランジスタT1のソースに与える信号φVPSをV_Hにして、MOSトランジスタT1のポテンシャル電位を基の状態にリセットする。次に、信号φSWをハイレベルにして撮像動作が開始するに、MOSトランジスタT1のソース電圧にV_Hとなる。信号φVPSが与えられたため、MOSトランジスタT1はサブレスジション領域で動作を行うので、フォトダイオードPDへの入射光量に対して自然放電的に比例して電圧がMOSトランジスタT1のゲートに現れる。そして、この入射光量に対して自然放電的に比例した電圧がキャパシタC1でサンプリングされる。

【0121】このように、撮像時のMOSトランジスタ

T1のゲート電圧がキャパシタC1でサンプリングされ、次に、ハイレベルのバリス信号φSをMOSTラジスタ5のゲートに与えることによってMOSTラジスタ5が導通し、キャパシタC1でサンプリングされた電圧がパスシフトC2によってサンプリングされる。よって、キャパシタC2とMOSTラジスタ4のゲートとの接続ノードの電圧が、入射光量に対して自然対数的に比例した電圧となる。尚、撮像動作が開始してからバリス信号φSが与えられまでの動作について、図1の面積G11〜Gmm全てに対して、同時に行われ

【0122】その後、ハイレベルのパルス信号がVをH、OSTランジスタT3のゲートに与えることによって、図6の信号線における映像信号が読み出す。このとき、キャパシタC2とMOSTランジスタT4のゲートとの接続ノードの電圧がMOSTランジスタT4に与えられ、MOSTランジスタT4で増幅された出力電流が、MOSTランジスタT3を介して出力信号線6に出力される。よって、出力信号線6に出力される電流となる。光入力に対して自然対数的に比例した電流となる。

【0123】このように、リセット時に、MOSトランジスタT7をOFFさせることによって、フォトダイオードPPDから流れる光電流の強度がMOSトランジスタT1のリセットを行うことができる。又、撮像時に、常に、MOSトランジスタT1がブラスレッシュヨリド領域で動作するため、全視野範囲で高精度撮動作を行うようにすることが出来る。

【0124】＜ディフュージョン型MOSトランジスタを組み合わせた構成の画素＞又、第5～第8の実施形態(図9、図11、図13、図14)において、MOSTトランジスタT7をディフュージョン型のNチャネルのMOSTランジスタとしても構わない。この画素の構成を、図15～図18に示す。図15～図18に示すように、MOSTランジスタT7以外のMOSTトランジスタT1～T6は、エンバシメント型のNチャネルのMOSTランジスタである。

【0125】図9、図11、図13、図14の構成の画素のように、画素内に設けられたMOSTランジスタを全てエンハンサメント型のMOSTランジスタで構成したとき、MOSTランジスタT1、T7が直列に接続されたため、MOSTランジスタT7のゲートに与える信号 ϕ_{SW} のバイレベルの電圧が、通常は、この画素に供給する電圧よりも高くなる。そのため、通常はMOSTランジスタT7に信号 ϕ_{SW} を与えたるための別の電源を設ける必要がある。

【0126】それに対して、上述したように、このM0ストランジスタ77をディプレッション型のMOSトランジスタとすることによって、そのゲートに与える信号の ϕ SWのハイレベルの電圧を低くすることができ、他のMOSトランジスタに与えるハイレベルの信号と同じ電

圧にすることが可能になる。これは、ディプレッション型のMOSトランジスタの閾値が負の値となるため、エッチング後のMOSトランジスタと比べて、低いゲート電圧でONすることができるからである。

【0127】＜PチャネルMOSトランジスタを組み合わせた構成の画素＞更に、第3〜第8の実施形態において、MOSトランジスタを、PチャネルのMOSトランジスタとしても構わない。この画素の構成を、図19〜図22に示す。図19〜図22に示すように、MOSトランジスタT7以外のMOSトランジスタT1〜T6は、NチャネルのMOSトランジスタである。又、MOストランドは接続されたものともに、ドレインがMOSTラ

【0128】このような構成にしたとき、MOSTトランジスタ7は、ゲート・ドレイン間の電圧差が閾値より大きければONとなり、又、ゲート・ドレイン間の電圧差が閾値より小さければOFFとなる。よって、MOSTトランジスタ7のゲートに与える信号φSWが、第5〜第8の実施形態の信号φSWと、そのタイミングが逆転したときに、MOSTトランジスタ7のドレインに流れる電流に接続したMOSTトランジスタ1の影響を受けることなく、ON/OFF動作を行うことができる。

[0129] 又、MOSTランジスタT7のON/OFF動作が、MOSTランジスタT1の影響を受けることがないので、信号SWを供給するための別の電源を設ける必要がなくなる。更に、このようにすることによって、MOSTランジスタT7を、他のMOSTランジスタと同様にエンハンズメント型のMOSTランジスタとすることができるので、他のMOSTランジスタと同一の工程でMOSTランジスタT7を生成することが可能である。よって、上述したように、MOSTランジスタT7のみをディプレッション型のMOSTランジスタとするとときと比べて、その製造工程が簡素化される。

【0130】＜第9の成体形態＞第9の実施形態について、図面を参照して説明する。図23は、本実施形態にて使用する固体状態装置に設けられた画素の構成を示す回路図である。尚、図23に示す画素と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0131】図23に示すように、本実施形態では、フレットタイオーブDのコントロールは、MOSTランジスタT2のソースと、またMOSTランジスタT2のゲートに接続されている。又、MOSTランジスタT2のソースは、行選択用のMOSTランジスタT3のドレインに接続されている。MOSTランジスタT3のソースは出力信号線6（この出力信号線6は図1の6-1、6-2、...、6-mに対応する）へ接続されている。尚、MOSTランジスタT2、T3、T8は、それぞれ、NチャネルのMOSTランジスタでバックゲートが接地されている。

20

【0132】又、フォトダイオードPDのアンロードには直流電圧VPGが、MOSTランジスタT2のドレインには直流電圧VPPが加えられるようになっている。又、MOSTランジスタT3のゲートには信号φVが入力される。一方、MOSTランジスタT8のドレインには信号φVPGが、又、ゲートには信号φVPPが、それぞれ入力されるようになっている。

【0133】尚、信号のVpは2値の電圧信号で、入射光量が所定値を超えたときMOSトランジスタ8をサブスレッショ領域で動作させるための電圧Vt8とす。又、この電圧より高くMOSトランジスタ8のソース電圧を初期化するための電圧Vbとする。又、信号のVpは1は2値の電圧信号で、高い方は前記Vb以上、低い方は前記Vt8以下の電圧である。このように構成の画素の動作について、以下に説明する。

【0134】図2に示すタイミングチャートのように、パルス信号 ϕV がMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕVP をローレベルとしてリセット動作を行う。このリセット動作について、図3のタイミングチャート及び図25のMOSTランジスタT8におけるポテンシャル変遷図を参照して説明する。

【0135】ところで、MOSトランジスタT8は、例えば、図25(a)のように、P型の半導体基板(以下、「P型基板」という。)10にN型拡散層11、12を形成し、且つ、そのN型拡散層11、12間のチャネル上に順次、酸化膜13とポリシリコン層14を形成することによって構成される。ここで、N型拡散層1

1, 12が、それぞれMOSトランジスタT8のドレイ
ソースを形成するとともに、酸化膜13及びポリシ
リコン層14がそれぞれゲート絶縁膜とゲート電極を形
成する。尚、ここで、P型基板10において、N型、図
11, 12の両領域をゲート下領域である。又、図
2.5 (b) ~ (f) において、矢印の方向が、ポテンシ
ャルが高いことを表す。

の順に高くなるようなポテンシャル状態にある。或いは、図 2.5 (b) に実線及び一点鎖線で示すように、ゲート下領域、ソース、ドレインの順に高くなるようなポテンシャル状態にある。そして、これらいずれの状態であっても、信号 ϕ_{VP0} をローレベルにしたとき、図 2.5 (c) のように、MOSTラジスタ T8 のドレイン側から、MOSTラジスタ T8 のゲート下領域及びソースに電化が注入され、ドレイン、ゲート下領域、ソースがこの信号 ϕ_{VP0} のローレベルに応じたポテンシャルとなる。尚、このとき、信号 ϕ_{VP0} の電圧値は V_a である。

【0153】このとき、ハイレベルのバルス信号 ϕV をMOSTランジスタT3のゲートに与えることにより、リセット時におけるノイズ信号を低減する。このとき、リセットされたMOSTランジスタT8のソース電圧が、MOSTランジスタT3のゲートに与えられる。リセットされたMOSTランジスタT4のゲートに与えられる。そして、MOSTランジスタT4で電流増幅されて、MOSTランジスタT3を介して出力信号線6に出力される。このようにノイズ信号が低減される。と、再度、ローレベルのバルス信号 ϕRS をMOSTランジスタT10のゲートに与えることにより、キャパシタC3とMOSTランジスタT9のソースとの接続ノードの電圧を初期化する。

【0154】このとき、ハイレベルのバルス信号 ϕV をMOSTランジスタT3のゲートに与えることにより、リセット時におけるノイズ信号を低減する。このとき、リセットされたMOSTランジスタT8のソース電圧が、MOSTランジスタT3のゲートに与えられる。リセットされたMOSTランジスタT4のゲートに与えられる。そして、MOSTランジスタT4で電流増幅されて、MOSTランジスタT3を介して出力信号線6に出力される。このようにノイズ信号が低減される。と、再度、ローレベルのバルス信号 ϕRS をMOSTランジスタT10のゲートに与えることにより、キャパシタC3とMOSTランジスタT9のソースとの接続ノードの電圧を初期化する。

【0155】信号 ϕVPG をV_aとして駆動動作を開始すると、フォトダイオードPDへの入射光量に対して線形的に又は自然対数的に比例した電圧が、MOSTランジスタT8のソース及びMOSTランジスタT9のゲートに現れる。尚、このとき、フォトダイオードPDで発生する光電荷が負の光電荷であるので、強い光が照射されるほど、MOSTランジスタT8のソース電圧が低くなる。

【0156】このようにして光電流に対して線形的に又は自然対数的に変化した電圧がMOSTランジスタT9のゲートに現れると、MOSTランジスタT9がリセットされてMOSTランジスタT9のゲート電圧により決定される表面ポテンシャルより高い電圧になっているので、キャパシタC3から正の電荷がMOSTランジスタT9のゲート電圧によって、キャパシタC3から流れる正の電荷量が減少する。

【0157】このようにしてキャパシタC3から正の電荷が流れ、キャパシタC3とMOSTランジスタT9のソースとの接続ノードの電圧が入射光量の積分値を線形的に又は自然対数的に比例した値となる。そして、バルス信号 ϕV を与えてMOSTランジスタT3をONにし、前記光電流の積分値を線形的に又は自然対的に

は、映像信号から画素のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画素内に設けることによって実現できる。尚、本実施の形態においては、 ϕVPG を一旦ローレベルにした後、 ϕVPG をハイレベルにしているが、両者のタイミングはこれに限るものではなく、例えば、 ϕVPG をハイレベルにしている間に、 ϕVPG を一旦ローレベルにするようにしても構わない。

【0148】＜第10の実施形態＞第10の実施形態について、図面を参照して説明する。図26は、本実施形態に使用する固体撮像装置に設けられた画素の構成を示す回路図である。尚、図23に示す面素と同様の目的で使用される端子及び信号線などは、同一の符号を付し、その詳細な説明は省略する。

【0149】図26に示すように、本実施形態では、第9の実施形態（図23）の画素に、MOSTランジスタT4、T9、T10及びキャパシタC3が追加された構成となる。MOSTランジスタT9のゲートがフォトダイオードPDのノードとMOSTランジスタT8のソースが接続され、そのソースが、増幅電圧V_{PS}が印加されたキャパシタC3の他端に接続される。又、MOSTランジスタT9のソースとキャパシタC3との接続ノードにMOSTランジスタT4のゲート及びMOSTランジスタT10のソースが接続される。尚、MOSTランジスタT9、T10は、PチャネルのMOSTランジスタでバックゲートに電源電圧が印加されている。

【0150】直流電圧V_{PS}がMOSTランジスタT4のドレインに印加されるとともに、直流電圧V_{PS}がMOSTランジスタT9のドレインに印加される。又、MOSTランジスタT10のドレインに直流電圧V_{PS}が印加されるとともに、そのゲートに信号 ϕRS が印加される。更に、MOSTランジスタT4のソースにMOSTランジスタT3のドレインが接続される。このような構成の画素の動作について、以下に説明する。

【0151】図27に示すタイミングチャートのよう、バルス信号 ϕV がMOSTランジスタT3のゲートに与えられて、出力信号が読み出されると、まず、信号 ϕVPG をローレベルとしてリセット動作を行う。このとき、MOSTランジスタT8のドレイン、ゲート下領域、ソースがこの信号 ϕVPG のローレベルに応じたポテンシャルとなる。その後、信号 ϕVPG をハイレベルに戻すと、MOSTランジスタT8のドレインが信号 ϕVPG のハイレベルに応じたポテンシャルとなるとともに、MOSTランジスタT8のゲート下領域及びソースが、信号 ϕVPG の電圧値V_aに応じたポテンシャルとなる。

【0152】更に、この状態から、MOSTランジスタT8のゲートに与えられる信号 ϕVPG の電圧をV_aからV_bに切り換えることによって、MOSTランジスタT8のゲート下領域及びソースが、信号 ϕVPG の電圧値V_bに

【0143】このようにして、入射光量に対して線形的に又は自然対的に比例した電圧がMOSTランジスタT2のゲートに現れると、先と同様に、バルス信号 ϕV がMOSTランジスタT3のゲートに与えられ、入射光量に対して線形的に又は自然対的に比例したMOSTランジスタT8のソース電圧がMOSTランジスタT2で電流増幅されて、MOSTランジスタT3を介して出力信号線6に出力される。又、MOSTランジスタT2及びMOSTランジスタQ1の増幅時抵抗とそれらを流れる電流によって決まるMOSTランジスタQ1のドレイン電圧が、映像信号として出力信号線6に現れる。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0144】このような動作を行う各画素において、MOSTランジスタT8の画素電圧にバラツキがあるため、 ϕVPG がV_aとされた場合、線形変換動作から対数変換動作に切り替わる電圧値は、V_a+V_{xx}（但し、V_{xx}はMOSTランジスタT8の画素バラツキによる電圧の変動成分を表す）となる。本実施形態においては、 ϕVPG がV_bとされた場合、MOSTランジスタT8のソース電圧の電圧値は、実用上、ほぼV_b+V_{xx}となる。従って、差をとると、 $\Delta V = V - V_a$ となり、リセットされた状態から上記切り替わり点に至らしめるために必要な電荷量は、各画素のMOSTランジスタT8の画素バラツキによらずほぼ一定である。

【0145】よって、対数変換動作に変わるときはMOSTランジスタT8のソース電圧に至るまでにMOSTランジスタT8に流れ込む光電荷量が、全ての画素において等しい。このように、各画素における変換動作が対数変換動作に切り替わるときはフォトダイオードPDに入射される入射光量も等しい。即ち、全ての画素において、その変換動作が線形変換動作から対数変換動作に切り替わるときは電荷量の増減が等しいものとなる。MOSTランジスタT8の画素電圧の差により、各画素の変換動作の切替への影響を低減することができる。

【0146】又、リセット時における信号 ϕVPG の電圧値V_bを変化させることによって、線形変換動作を行う際のMOSTランジスタT8のゲート電圧V_{GS}が変化する範囲を変化させることができる。よって、リセット時における信号 ϕVPG の電圧値V_bを変化させることで、各画素の変換動作が線形変換動作から対数変換動作に切り替わるときは電荷量の増減を変化させることができる。

【0147】更に、ノイズ信号が図1の信号線9から画素毎にシリアルに出力され、後続回路においてメモリに画素毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号で画素毎に補正する

【0137】その後、信号 ϕVPG をハイレベルに戻すと、図25(d)のように、MOSTランジスタT8のドレインが信号 ϕVPG のハイレベルに応じたポテンシャルとなるとともに、MOSTランジスタT8のゲート下領域及びソースが、信号 ϕVPG の電圧値V_aに応じたポテンシャルとなる。

【0138】更に、この状態から、MOSTランジスタT8のゲートに与えられる信号 ϕVPG の電圧をV_aからV_bに切り換えることによって、図25(e)のように、MOSTランジスタT8のゲート下領域及びソースが、信号 ϕVPG の電圧値V_bに応じたポテンシャルとなり、図25(d)の状態に比べ高くなる。

【0139】このとき、ハイレベルのバルス信号 ϕV をMOSTランジスタT3のゲートに与えることにより、リセット時におけるノイズ信号を低減する。このとき、リセットされたMOSTランジスタT8のソース電圧がMOSTランジスタT3のゲートに与えられ、このMOSTランジスタT8のソース電圧がMOSTランジスタT2で電流増幅されて、MOSTランジスタT3を介して出力信号線6に出力される。

【0140】そして、再び、MOSTランジスタT8のゲートに与えられる信号 ϕVPG の電圧をV_bからV_aに切り換えることにより、図25(f)のように、MOSTランジスタT8のゲート下領域が、信号 ϕVPG の電圧値V_aに応じたポテンシャルとなり、図25(e)の状態に比べて低くなる。よって、このとき、MOSTランジスタT8のソースの電圧がゲート下領域の電圧に比べて高くなる。このように、信号 ϕVPG 、 ϕVPG が動作されることにより、MOSTランジスタT8のポテンシャル状態がリセットされる。

【0141】信号 ϕVPG をV_aとして駆動動作を開始すると、フォトダイオードPDより入射光量に応じた光電荷がMOSTランジスタT8に流れ込む。今、MOSTランジスタT8のゲート電圧がソース電圧より低いので、MOSTランジスタT8はカットオフ状態となり、光電荷がMOSTランジスタT8のソースに蓄積される。よって、蓄積する電荷体の増減が低くフォトダイオードPDに入射される入射光量が少ない場合は、MOSTランジスタT8のソースに蓄積された光電荷量に応じた電圧がMOSTランジスタT8のソースに現れるため、入射光量の増減に対して線形的に比例した電圧が、MOSTランジスタT2のソースに現れる。尚、このとき、フォトダイオードPDで発生する光電荷が負の光電荷であるので、強い光が照射されるほど、MOSTランジスタT8のソース電圧が低くなる。

【0142】又、蓄積する電荷体の増減が高くとフォトダイオードPDに入射される入射光量が多くなると、MOSTランジスタT8がサブレジション領域で動作を行うため、入射光量に対して自然対的に比例した電圧がMOSTランジスタT8のソースに現れる。

の出力を具体的な信号線9へ導出する。画面内に映けられたMOSTランジスタ3を考慮すると、図30

(a)の回路は図30(b)のように入力される。【0177】<映像信号の補正方法>上述した第1〜第22の実施形態のような回路構成の画面が映けられた固体撮像装置がデジタルカメラなどの画像入力装置に使用されたときの実施例を、図面を参照して説明する。

【0173】図50に示す画像入力装置は、対物レンズ51と、被写体51を通して入射される光の光量に応じて電気信号を出力する固体撮像装置52と、撮像時の固体撮像装置52の映像信号が入力されて一時記憶されるメモリ53と、リセット時の固体撮像装置52のノイズ信号が入力されて一時記憶されるメモリ54と、メモリ53から送出される映像信号からメモリ54とメモリ53から送出される映像信号を補正演算する補正回路55と、補正回路55でノイズ信号により補正された映像信号を演算処理して外部に出力する処理部56と、リセット回路57とを有する。尚、固体撮像装置52は、第1〜第22の実施形態のような回路構成の画面が映けられた固体撮像装置である。リセット回路57は、先に説明した各実施形態におけるリセット動作を行うための物であり、少なくとも電源とこの電源をON/OFFする所定のタイミング信号線9とを有する。第1の実施形態では、リセット回路57は、垂直及び水平走査回路で動作している。

【0174】このような構成の画像入力装置は、まず、撮像動作を行って、固体撮像装置52から各画面毎に映像信号がメモリ53に出力される。そして、各画面が映像動作を終えて、リセット動作を行ったときに、上記で説明したように、各画面の感度のバラツキを除去して、ノイズ信号をメモリ54に出力する。そして、メモリ53内の各画面の映像信号とメモリ54内の各画面のノイズ信号を、補正演算回路55にこの映像信号を各画面毎に送出する。

【0175】補正演算回路55では、メモリ53から送出された映像信号がこの映像信号を出力した同一画面のメモリ54から送出されたノイズ信号によって各画面毎に補正演算される。このノイズ信号が補正演算された映像信号が処理部56に送出されて、演算処理された後、外部に出力される。又、このような画像入力装置において、メモリ53、54は、それぞれ、固体撮像装置52からライン毎に送出されるデータが記録されるラインメモリなどを用いられる。従って、メモリ53、54を固体撮像装置内に組み込むことも容易である。

【0176】

スには信号φVPSが与えられる。【0168】ところで、図31のような画面が対称交換を行うとき、直流電圧VPSと直流電圧VPPは、VPS>VPPとなる。図3(第1の実施形態)と逆であり、又、図32のような画面において、キャパシタC1の出力電圧は初期値が高い電圧で、積分によって低下する。又、MOSTランジスタ3〜7をONさせると、図43〜図46に示す構成の画面において、NチャネルのMOSTランジスタとなるMOSTランジスタ7をONさせると、図48

ときには、高い電圧をゲートに印加する。更に、図48の実施形態(第21の実施形態)において、MOSTランジスタT10をONさせるときには低い電圧をゲートに印加する。以上の通り、逆極性のMOSTランジスタを用いる場合は、電圧関係や接続関係が一部異なるが、構成は実質的に同一であり、また基本的な動作も同一である。図31〜図49については図面で示すのみで、その構成や動作についての説明は省略する。

【0169】第12〜第22の実施形態の画面を含む固体撮像装置の全体構成を説明するためのブロック回路構成図を図29に示している。図29については、図1と同一部分(同一の役割部分)に同一の符号を付して説明を省略する。以下、図29の構成について簡単に説明する。列方向に配列された出力信号線6-1、6-2、...、6-mに対してPチャネルのMOSTランジスタQ1とPチャネルのMOSTランジスタQ2が接続されている。MOSTランジスタQ1のゲートは直流電圧線7に接続され、ドレインは出力信号線6-1に接続され、ソースは直流電圧VPS'のライン8に接続されている。

【0170】一方、MOSTランジスタQ2のドレインは出力信号線6-1に接続され、ソースは最終的な信号線9に接続され、ゲートは水平走査回路3に接続されている。ここで、MOSTランジスタQ1は画面内のPチャネルのMOSTランジスタと共に図30(a)に示すような増幅回路を構成している。尚、MOSTランジスタQ1は、第13〜第15、第17〜第19、第21及び第22の実施形態ではMOSTランジスタT4に相当し、又、第12、第16及び第20の実施形態ではMOSTランジスタT2に相当する。

【0171】この場合、MOSTランジスタQ1はMOSTランジスタQ2の負荷抵抗又は定電流源となっており、このMOSTランジスタQ1のソースに接続される直流電圧VPS'と、MOSTランジスタQ2のドレインに接続される直流電圧VPP'との関係は、VPS'<VPS'であり、直流電圧VPP'は例えばグラウンド電圧(接地)である。MOSTランジスタQ1のドレインはMOSTランジスタQ2に接続され、ゲートには直流電圧が印加されている。PチャネルのMOSTランジスタQ2は水平走査回路3によって制御され、増幅回路

ジスタT10を省略できる分、第110の実施形態に比べて、その構成がシンプルになる。

【0164】更に、ノイズ信号が図1の信号線9から画面毎にシリアル出力され、後続回路においてメモリに画面毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号と画面毎に補正する。映像信号から画面のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画面内に設けることによって実現できる。

【0165】以上説明した各実施形態において、各画面からの信号読み出しは駆動回路素子(CCD)を用いて行うようにしても構わない。この場合、MOSTランジスタT4に相当するポテンシャルレベルを可変としたポテンシャルの障壁を設けることにより、CCDへの電荷読み出しを行えばよい。又、上述した各実施形態では、感光素子としてフォトダイオードを用いたが、フォトダイオードに限らず、フォトトランジスタの他の感光素子を用いても構わない。更に、第2、第3、第6及び第7の実施形態において、キャパシタC1のリセットをMOSTランジスタT2を通して行うようにしたが、キャパシタC1のリセットを行うためのMOSTランジスタを別途設けるようにしても構わない。

【0166】以上説明した第1〜第9の実施形態は、画面内の駆動素子であるMOSTランジスタT1〜T8を全てNチャネルのMOSTランジスタで構成しているが、これらのMOSTランジスタT1〜T8を全てPチャネルのMOSTランジスタで構成してもよい。又、第10及び第11の実施形態において、画面内のNチャネルのMOSTランジスタをPチャネルのMOSTランジスタに、PチャネルのMOSTランジスタをNチャネルのMOSTランジスタに変えて構成しても構わない。

【0167】図31〜図39及び図47には、上記第1〜第9の実施形態をPチャネルのMOSTランジスタで構成した例である。第12〜第20の実施形態を示している。又、図48及び図49には、上記第10及び第11の実施形態の画面のMOSTランジスタを逆極性のMOSTランジスタで構成した例である。第21及び第22の実施形態を示している。又、図39〜図42は、第17〜第20の実施形態において、MOSTランジスタT7をNチャネルのMOSTランジスタとしたものである。そのため図29〜図49では接続の極性や印加電圧の極性が逆になっている。例えば、図31(第12の実施形態)において、フォトダイオードPDはアノードに直流電圧VPPに接続され、カソードがMOSTランジスタT1のドレイン及びゲートとMOSTランジスタT2のゲートに接続されている。MOSTランジスタT1のソー

に比例した値となる電圧が、MOSTランジスタT3、T4を介して出力信号線6に導出される。このようにして入射光量の線形特性に、MOSTランジスタT3をOFF電流)を読み出す。又、MOSTランジスタT3をOFFにする。このようにして映像信号が読み出された後、上述したリセット動作が行われる。

【0158】このように撮像動作を行っているとき、第9の実施形態と同様、MOSTランジスタT8のソース電圧VPSが入射光量の線形特性に比例した電圧VPSが、入射光量に対して自然対数的に比例した電圧が、それぞれ、MOSTランジスタT9のゲートに与えられる。

【0159】このような構成の画面において、リセット時における信号φVPPの電圧レベルを変化させることで、各画面の変換動作が線形特性から対数変換動作に切り替わる。この補正方法は、ラインメモリなどを用いて、一旦キャパシタC3で積分された信号となることで、光源の変動成分や感度のバラツキがキャパシタで吸収されて除去され、S/N比の良い信号が得られる。

【0160】更に、ノイズ信号が図1の信号線9から画面毎にシリアル出力され、後続回路においてメモリに画面毎のノイズ信号として記憶しておく。そして、映像信号を記憶されているノイズ信号と画面毎に補正する。映像信号から画面のバラツキによる成分を取り除くことができる。尚、この補正方法の具体例は後述する図50に示している。この補正方法は、ラインメモリなどのメモリを画面内に設けることによって実現できる。

【0161】<第11の実施形態>第11の実施形態について、図面を参照して説明する。図28は、本実施形態に使用する固体撮像装置に設けられた画面の構成を示す回路図である。尚、図26に示す画面と同様の目的で使用される素子及び信号線などは、同一の符号を付して、その詳細な説明は省略する。

【0162】図28に示すように、本実施形態では、第10の実施形態(図26)の画面より、MOSTランジスタT10が省かれた構成となる。このとき、MOSTランジスタT9のドレインに信号φVPSが印加される。このように構成することによって、キャパシタC3とMOSTランジスタT9のソースとの接続ノードにおける電圧のリセットをMOSTランジスタT9を通して行う。よって、その他の動作については、第110の実施形態の動作と同様である。本実施形態の画面の動作については、第110の実施形態を参照するものとして省略する。

【0163】尚、本実施形態において、ハイレベルのバリス信号φVPSをMOSTランジスタT9のドレインに与えることによって、キャパシタC3とMOSTランジスタT9のソースとの接続ノードにおける電圧のリセットが行われる。又、本実施形態のように、MOSTラン

ジスタQ2は水平走査回路3によって制御され、増幅回路

【発明の効果】本発明によると、光電変換動作を、入射光量に応じた鋭形変換動作と対数変換動作の関で自動的に切り換えることができる。よって、被写体が暗く、入射光量の少ない場合は、鋭形変換動作を行うので、リセットした後に撮像した信号に残像が生じない。逆に、被写体が明るく、入射光量の多い場合は、対数変換動作を行うので、ダイナミックレンジの広い信号を出力することができ、又、線形変換動作から対数変換動作に切り替わる頻度を、各画素全てについてほぼ一定の頻度とすることができる。又、トランジスタに与えるパルス信号の電圧値を変化させることによって、鋭形変換動作から対数変換動作に切り替わる頻度を調整させることができる。更に、サンプリング回路を設けることによって、全画素同時に撮像時の出力信号のサンプリングを行うことができるので、高速で移動する被写体を撮像しても画像歪みが生じない。

【図面の簡単な説明】

【図1】本発明の一実施形態である二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図2】図1の一部を示す図。

【図3】本発明の第1の実施形態の1画素の構成を示す回路図。

【図4】本発明の第1の実施形態の画素の動作を示すタイミングチャート。

【図5】本発明の第2の実施形態の1画素の構成を示す回路図。

【図6】本発明の第2の実施形態の画素の動作を示すタイミングチャート。

【図7】本発明の第3の実施形態の1画素の構成を示す回路図。

【図8】本発明の第4の実施形態の1画素の構成を示す回路図。

【図9】本発明の第5の実施形態の1画素の構成を示す回路図。

【図10】本発明の第5の実施形態の画素の動作を示すタイミングチャート。

【図11】本発明の第6の実施形態の1画素の構成を示す回路図。

【図12】本発明の第6の実施形態の画素の動作を示すタイミングチャート。

【図13】本発明の第7の実施形態の1画素の構成を示す回路図。

【図14】本発明の第8の実施形態の1画素の構成を示す回路図。

【図15】本発明の第5の実施形態の1画素の構成を示す回路図。

【図16】本発明の第6の実施形態の1画素の構成を示す回路図。

【図17】本発明の第7の実施形態の1画素の構成を示す回路図。

【図18】本発明の第8の実施形態の1画素の構成を示す回路図。

【図19】本発明の第5の実施形態の1画素の構成を示す回路図。

【図20】本発明の第6の実施形態の1画素の構成を示す回路図。

【図21】本発明の第7の実施形態の1画素の構成を示す回路図。

【図22】本発明の第8の実施形態の1画素の構成を示す回路図。

【図23】本発明の第9の実施形態の1画素の構成を示す回路図。

【図24】本発明の第9の実施形態の画素の動作を示すタイミングチャート。

【図25】図23の画素の構成及びポテンシャルの關係を表した図。

【図26】本発明の第10の実施形態の1画素の構成を示す回路図。

【図27】本発明の第10の実施形態の画素の動作を示すタイミングチャート。

【図28】本発明の第11の実施形態の1画素の構成を示す回路図。

【図29】画素内の移動素子をPチャネルのMOSTラジスタで構成した実施形態の場合の本発明の二次元固体撮像装置の全体の構成を説明するためのブロック回路図。

【図30】図29の一部を示す図。

【図31】本発明の第12の実施形態の1画素の構成を示す回路図。

【図32】本発明の第13の実施形態の1画素の構成を示す回路図。

【図33】本発明の第14の実施形態の1画素の構成を示す回路図。

【図34】本発明の第15の実施形態の1画素の構成を示す回路図。

【図35】本発明の第16の実施形態の1画素の構成を示す回路図。

【図36】本発明の第17の実施形態の1画素の構成を示す回路図。

【図37】本発明の第18の実施形態の1画素の構成を示す回路図。

【図38】本発明の第19の実施形態の1画素の構成を示す回路図。

【図39】本発明の第16の実施形態の1画素の構成を示す回路図。

【図40】本発明の第17の実施形態の1画素の構成を示す回路図。

【図41】本発明の第18の実施形態の1画素の構成を示す回路図。

【図42】本発明の第19の実施形態の1画素の構成を示す回路図。

示す回路図。

【図43】本発明の第16の実施形態の1画素の構成を示す回路図。

【図44】本発明の第17の実施形態の1画素の構成を示す回路図。

【図45】本発明の第18の実施形態の1画素の構成を示す回路図。

【図46】本発明の第19の実施形態の1画素の構成を示す回路図。

【図47】本発明の第20の実施形態の1画素の構成を示す回路図。

【図48】本発明の第21の実施形態の1画素の構成を示す回路図。

【図49】本発明の第22の実施形態の1画素の構成を示す回路図。

【図50】各実施形態の画素を用いた固体撮像装置を備えた画素入力装置の内部構造を示すブロック図。

【符号の説明】

G11~Gm 画素

2 垂直走査回路

3 水平走査回路

4-1~4-n ライン

5 電源ライン

6-1~6-m 出力信号線

7 直流電圧線

8 ライン

9 信号線

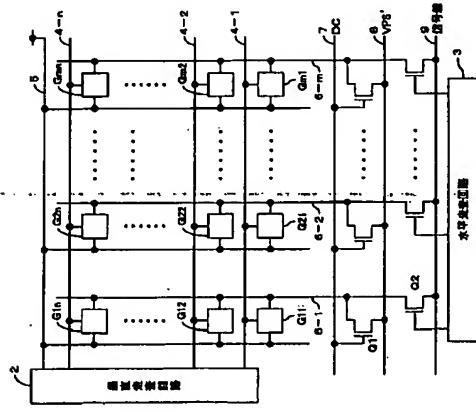
PD フォトダイオード

C1, C2 キャパシタ

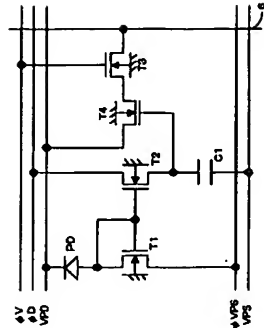
T1~T10, Q1, Q2 MOSTランジスタ

【図1】

【図2】

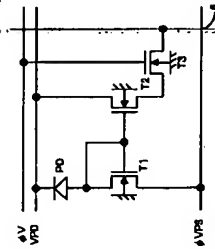


【図5】



【図4】

【図3】

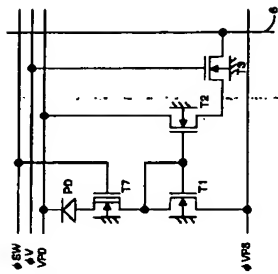


【図6】

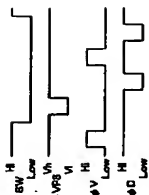
【図10】



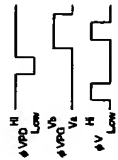
【図15】



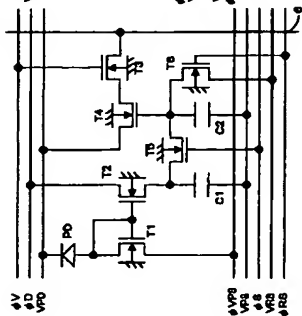
【図12】



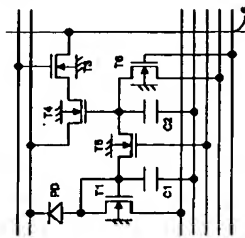
【図24】



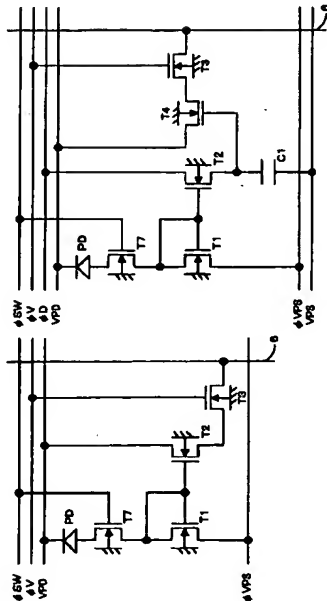
【図7】



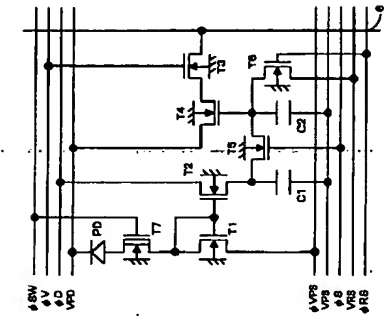
【図8】



【図9】

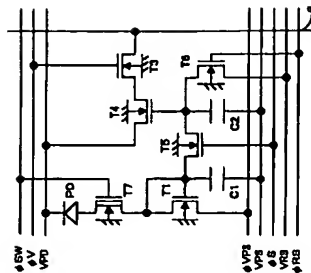


【図11】

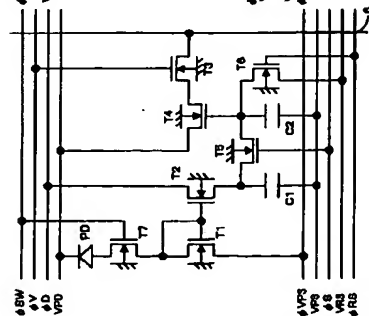


【図17】

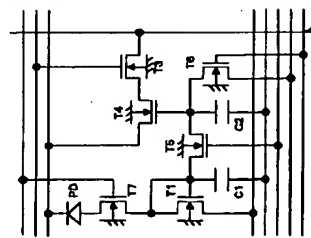
【図18】



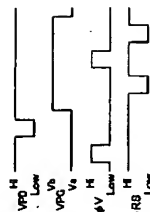
【図13】



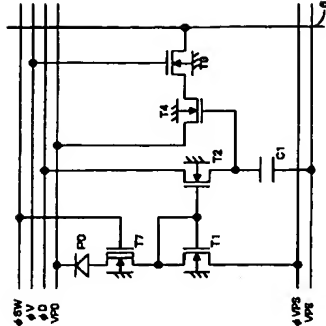
【図14】



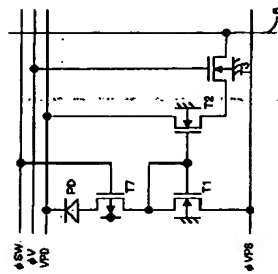
【図27】



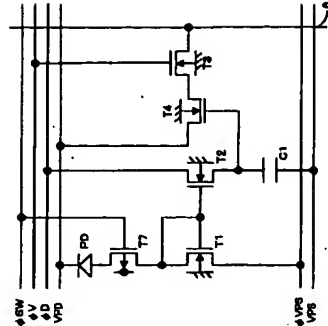
【図16】



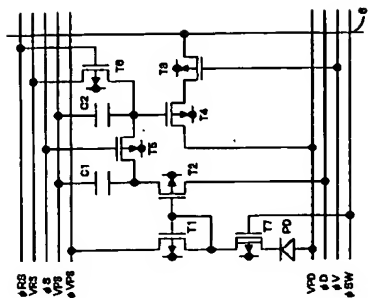
【図19】



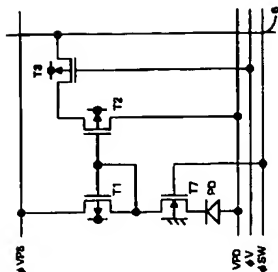
【図20】



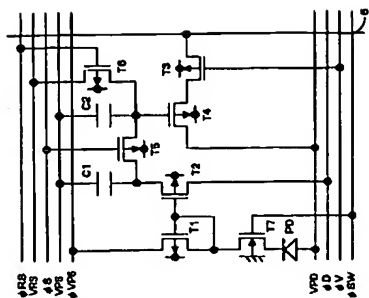
【図41】



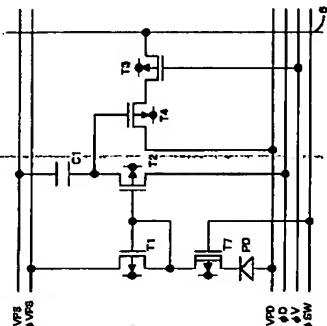
【図43】



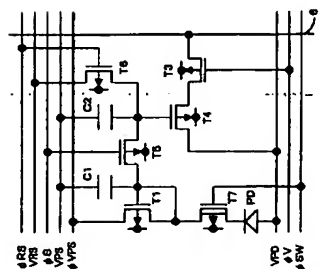
【図45】



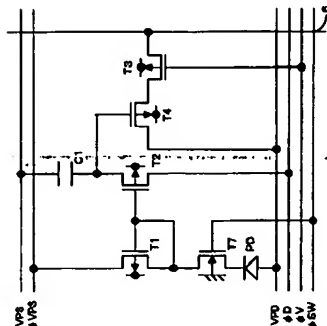
【図40】



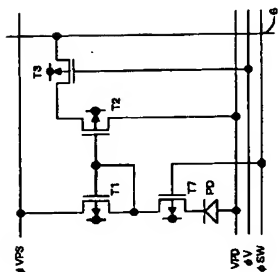
【図42】



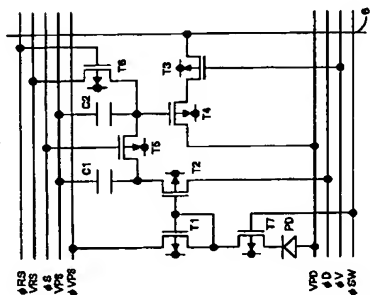
【図44】



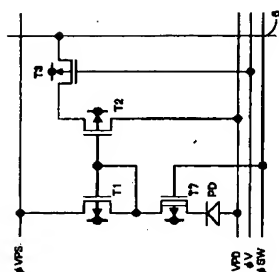
【図35】



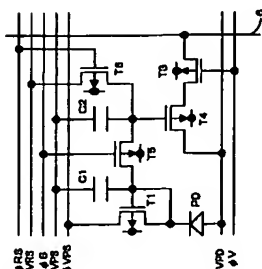
【図37】



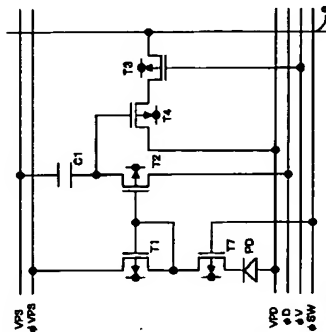
【図39】



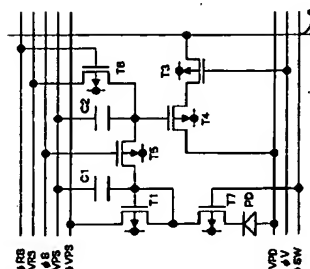
【図34】



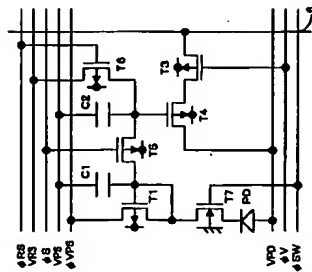
【図36】



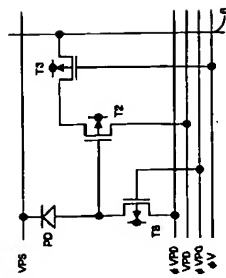
【図38】



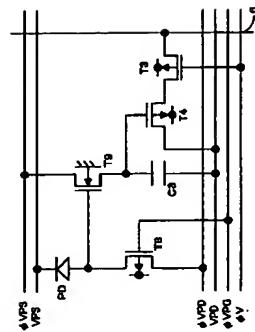
【图46】



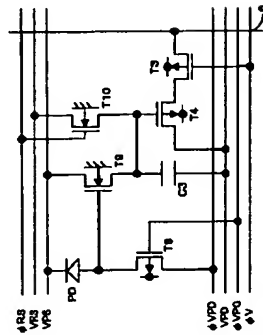
【图47】



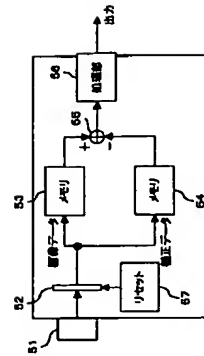
【☒49】



【图48】



【050】



【手続補正書】

【提出日】平成13年8月20日(2001.8.2)

(0)

【手続補正1】

【補正対象書類名】明細書

【補正方法】変数

【補正内容】

【請求項6】 前記各画像が、前記トランジスタの制御

電極からの出力を増幅する増幅回路を有することを特徴

とする請求項5に記載の固体撮像装置。